

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**MANUFACTURE OF SEMICONDUCTOR LASER**

Patent Number: JP63222488  
Publication date: 1988-09-16  
Inventor(s): SHAKUDA YUKIO; others: 05  
Applicant(s): ROHM CO LTD  
Requested Patent: ☐ JP63222488  
Application Number: JP19870056242 19870311  
Priority Number(s):  
IPC Classification: H01S3/18  
EC Classification:  
Equivalents: JP1885686C, JP6009273B

**Abstract**

**PURPOSE:** To reduce a gap between a current blocking region and an active layer, by forming the current blocking region by ion implantation of impurities or the like at an intermediate stage before forming an upper clad layer and a cap layer having fixed thicknesses.

**CONSTITUTION:** An n-type AlGaAs lower part clad layer 2, an AlGaAs active layer 3, an upper first clad layer 4 of a p-type AlGaAs and a GaAs protective layer 5 are by turns epitaxially grown on an n-type GaAs substrate 1. Next, a stripe part 4a is formed in the depth not reaching the lower clad layer 2 from the surface by ion implantation or diffusion. In this way, an n-type current blocking region 4b and a stripe part 4a are formed on the upper first clad layer 4. In this constitution, thickness of the stripe part 4a can be formed with high dimension accuracy so as to reduce a gap (t) between the active layer 3 and the current blocking layer 4b.

Data supplied from the esp@cenet database - 12

## ⑫ 公開特許公報(A)

昭63-222488

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)9月16日

H 01 S 3/18  
H 01 L 21/2057377-5F  
7739-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体レーザの製造方法

⑯ 特 願 昭62-56242

⑰ 出 願 昭62(1987)3月11日

|         |           |     |                    |                    |
|---------|-----------|-----|--------------------|--------------------|
| ⑱ 発 明 者 | 尺 田       | 幸 男 | 京都府京都市右京区西院清崎町21番地 | ローム株式会社内           |
| ⑱ 発 明 者 | 田 中       | 治 夫 | 京都府京都市右京区西院清崎町21番地 | ローム株式会社内           |
| ⑱ 発 明 者 | 虫 上       | 雅 人 | 京都府京都市右京区西院清崎町21番地 | ローム株式会社内           |
| ⑱ 発 明 者 | 楠         | 薫   | 京都府京都市右京区西院清崎町21番地 | ローム株式会社内           |
| ⑱ 発 明 者 | 井 川       | 克 彦 | 京都府京都市右京区西院清崎町21番地 | ローム株式会社内           |
| ⑱ 発 明 者 | 石 田       | 祐 士 | 京都府京都市右京区西院清崎町21番地 | ローム株式会社内           |
| ⑲ 出 願 人 | ローム株式会社   |     |                    | 京都府京都市右京区西院清崎町21番地 |
| ⑳ 代 理 人 | 弁理士 小森 久夫 |     |                    |                    |

## 明 細 書

## 1. 発明の名称

半導体レーザの製造方法

## 2. 特許請求の範囲

(1) 基板上に下部クラッド層、活性層、上部第1クラッド層をこの順に形成した後、表面から上記下部クラッド層に達しない深さに不純物をイオン打ち込みまたは拡散してストライプ部を形成する工程と、上記第1クラッド層上に上記ストライプ部と同位置型の上部第2クラッド層とキャップ層をこの順に形成する工程からなる半導体レーザの製造方法。

## 3. 発明の詳細な説明

## (a) 産業上の利用分野

この発明は、半導体レーザの製造方法に関する。

## (b) 従来の技術

従来の半導体レーザは光情報処理や光通信用の電子部品として用いられており、その応用分野

は多岐に渡ろうとしている。半導体レーザに要求される特性の一つとしてしきい値電流すなわち自然発光状態からレーザ発光状態に変化する半導体レーザの順方向電流をいかに低減するかが技術的課題の一つであった。

第6図(A)、(B)は従来の半導体レーザの製造方法を表す断面図である。図面(A)において1はn型GaAsの基板、2はn型AlGaAsのクラッド層、3は不純物を含まないAlGaAsの活性層、4はp型AlGaAsのクラッド層、5はp型のGaAsのキャップ層をそれぞれ表している。このように基板上に各層を成長させた後、図面(B)に示すようにプロトンなどを打ち込むことにより電流阻止領域9を形成する。このようにして電流阻止領域間(以下ストライプという。)における活性層での電流の集中度を高めている。

ところが、電流阻止領域をプロトンの打ち込みなどにより単純化したことにより、活性層の結晶性が乱れ、寿命などに悪影響を及ぼしていた。そ

ここでクラッド層の一部を逆の伝導型にすることにより電流阻止領域を形成すれば、この問題を解消することができる。第7図(A)、(B)はその例を示している。同図(A)は第6図(A)に示したものと同様の構成であり、基板の上に各層を成長させた後、第7図(B)に示すようにストライプを形成すべき箇所以外に不純物を拡散またはイオン打ち込みを行うことによりn型の電流阻止領域10を形成している。

#### (c) 発明が解決しようとする問題点

ところが、第7図(B)に示した従来の半導体レーザにおいては、活性層において光励起が行われてレーザ発光するため、活性層での電流の集中度を高める必要がある。そのためには図中の寸法をできるだけ小さくしなければならない。一方、p型クラッド層4は光の吸収層となるのである程度厚くしなければ光損失が大きくなる。また、キャップ層8はヒートシンクとの半田付けの際半田材の平活性層への影響を防止し、さらに、電極金属の影響を防止するためある程度厚くなければ実

用上問題が発生する。そこでこれらの二つの層で3〜数 $\mu\text{m}$ の厚さが必要である。ところが、拡散、イオン打ち込みともに3〜数 $\mu\text{m}$ の深さにおいて100人程度の精度をもたせることは困難であり、したがって活性層のごく近傍まで電流阻止領域10を形成することが困難である。

さらに、p型クラッド層4とp型キャップ層8とで3〜数 $\mu\text{m}$ の厚さになり、電流の集中するストライプの層が厚く、抵抗値が高くなる。

このような理由でしきい値電流は低減されず、動作電圧の上昇および発熱の問題があった。この発明の目的は、前述の1の寸法を容易に小さくし、しきい値電流の低い半導体レーザを得ることのできる半導体レーザの製造方法を提供することにある。

#### (d) 問題点を解決するための手段

この発明の半導体レーザの製造方法は、基板の上に下部クラッド層、活性層、上部第1クラッド層をこの順に形成した後、表面から上記下部クラッド層に達しない深さに不純物をイオン打ち込みま

たは拡散してストライプ部を形成する工程と、上記第1クラッド層上に上記ストライプ部と同伝導型の上部第2クラッド層とキャップ層をこの順に形成する工程からなることを特徴としている。

#### (e) 作用

この発明の半導体レーザの製造方法においては、基板上に下部クラッド層、活性層、上部第1クラッド層をこの順に形成した段階で、表面から下部クラッド層に達しない深さに不純物をイオン打ち込みまたは拡散することによりストライプ部が形成される。その後、上部第1クラッド層上に上記ストライプ部と同伝導型の上部第2クラッド層とキャップ層がこの順に形成される。このように所定厚さの上部クラッド層とキャップ層を形成する前の中間段階で、不純物のイオン打ち込みまたは拡散により電流阻止領域を形成するため、電流阻止領域の寸法精度が高まり、前述の1の小さな半導体レーザが得られる。

#### (f) 実施例

第1図(A)〜(D)はこの発明の実施例であ

る半導体レーザの製造方法を表す各工程における断面図である。

図面(A)において1は縦250 $\mu\text{m}$ 、横250 $\mu\text{m}$ 、厚さ200 $\mu\text{m}$ のn型GaAs基板、2は厚さ1.5 $\mu\text{m}$ のn型Al<sub>0.15</sub>Ga<sub>0.85</sub>Asの下部クラッド層、3は厚さ800 $\text{\AA}$ の不純物を含まないAl<sub>0.15</sub>Ga<sub>0.85</sub>Asの活性層、4は厚さ0.4 $\mu\text{m}$ のp型Al<sub>0.15</sub>Ga<sub>0.85</sub>Asの上部第1クラッド層、5は厚さ400 $\text{\AA}$ の不純物を含まないGaAsの保護層をそれぞれ表している。これらの各層は基板1の上面に分子線エビタキシャル法によってそれぞれ順に成長させる。

次に図面(B)に示すように成長させたウエハを取り出し、フォトリソグラフィにより、ストライプ部を形成すべき上面に厚さ1.5 $\mu\text{m}$ 幅4 $\mu\text{m}$ のレジストを付着させる。その後、Siイオンを加速電圧150K $\times$ V、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ の条件下で打ち込む。この時の打ち込み深さは0.4 $\mu\text{m}$ である。この程度の浅いイオン打ち込みまたは拡散であれば、約100 $\text{\AA}$ の正確さで1

を制御することができる。このようにして上部第1クラッド層にn型の電流阻止領域4bが形成される。この電流阻止領域4aがストライプ部となる。

次に、有機洗浄によってレジスト6を除去した後、分子線エピタキシャル成長室に入れる。ウエハに対してAsの分子線をあてながら、温度を750〜760℃で約30分間保持する。保護層であるGaAsの蒸発速度は0.7〜1.0μm/hであるのに対し、Al<sub>0.5</sub>Ga<sub>0.5</sub>Asである上部第1クラッド層の蒸発速度は0.05μm/h以下である。このため、第1図(C)に示すように保護層が選択的に蒸発される。また、このとき第1図(B)に示した工程で打ち込まれたSi<sup>+</sup>イオンがアニール効果で活性化して、p型クラッド層のストライプ部4a以外の領域4bがn型化する。なお、分子線エピタキシャル成長の成長室内は超高真空状態であり、クラッド層のAlが酸化することなく、次に述べるようにこのクラッド層上に上部第2クラッド層をそのまま成長させる

ことができる。

第1図(D)に示すように上部第1クラッド層上にさらにp型のAl<sub>0.5</sub>Ga<sub>0.5</sub>Asの上部第2クラッド層7を厚さ1.1μmになるまで分子線エピタキシャル成長させ、さらにその表面にp型のGaAsのキャップ層8を厚さ2μmになるまで分子線エピタキシャル成長させる。

以上のようにして活性層3と電流阻止領域4bとの隙間εが小さく、しかも所定厚さの上部クラッド層が形成された半導体レーザが製造される。なお、この実施例においては、電流阻止領域4bがクラッド層と同じ組成のAlGaAsであるため、活性層から広がる光がこの阻止領域で吸収されることがなく、したがってストライプ部の幅を狭くし、εを狭くすることによりしきい値電流などを容易に改善することができる。

上記実施例は上部第1クラッド層にAlGaAsの均一な組成から構成した例であったが、この部分に超格子構造とすることにより新たな効果を付加することができる。第2図(A)、(B)は

その例を表す断面図である。同図(A)において4はAlGaAsとGaAsの異なる組成を持つ層を周期的に配列して超格子構造にした上部第1クラッド層を渡している。前述の第1図(B)に示したと同様にストライプ部を形成すべき個所にレジスト6を付着させ、Si、Znなどのイオンを打ちこんで熱処理を行うことにより、レジストが付着されていない領域が液晶状態となり、同図(B)に示すように屈折率の高いストライプ部4aが屈折率の低い電流阻止領域4b間に挟まれた構造となり、その結果レーザ光の導波路としての特性(遠視野性、非点収差)を独立に制御することができる。

上記いずれの実施例も上部第1クラッド層に不純物を打ち込み、所定個所に電流阻止領域を形成することにより、ストライプ部を設けた例であったが、ストライプ部にイオンを打ち込むことによりあるいは拡散を行うことによりストライプ部を形成することも可能である。第3図(A)〜(D)はその例について表している。第1図に示した

場合と異なる点は、上部第1クラッド層4がn型であり、ストライプ部となるべき領域に不純物をイオン打ち込みまたは拡散する点である。すなわち第3図(A)に示すようにn型基板1上にn型の下部クラッド層2、活性層3、n型上部第1クラッド層4、保護層5を順に成長させ、同図(B)に示すように電流阻止領域の上部にレジスト6を付着させ、Mgイオンを加速電圧120KeV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の条件で打ち込むことにより、活性層3までp型のストライプ部4aを形成する。その後は第1図(C)、(D)に示したと同様にレジスト6および保護層5を除去し、上部第2クラッド層7とキャップ層8を成長させることにより、半導体レーザを製造する。

なお、上記実施例はいずれもイオン打ち込み又は拡散を上記第1クラッド層や活性層まで行った例であるが、活性層の結晶を損なわない限り、少なくとも下部クラッド層に達しない深さまでイオン打ち込み又は拡散することができる。

さらに、上記実施例においてはストライプ部の

パターンとして所定幅の単純なパターンを形成する例であったがストライプ内に一部電流を阻止する領域を形成することにより、ストライプ内の光起電の分布を制御することが可能である。第4図(A)、(B)および第5図(A)、(B)はそのいくつかの例について述べている。第4図(A)、(B)は半導体レーザの分解斜視図を表し、同図(A)に示すように4aはストライプ部を表し、その途中に電流を阻止する電流阻止領域4bが形成されている。また第5図(A)、(B)はさらに他の例を表す上面図(上部第2クラッド層およびキャップ層を形成する前の状態)を表している。このように細かな電流阻止領域をパターン化することが可能であり、これによりパルスモードが発生され、自己干渉せず分光特性や雑音特性の改善が容易に実現できる。

#### (4) 発明の効果

以上のようにこの発明によれば、ストライプ部の厚みを高い寸法精度により形成することができ、活性層と電流阻止層との隙間を小さく

することができる。またストライプ部の厚みを薄くし、しかも上部クラッド層の厚みを所定寸法に形成することができるため、ストライプ部のみ電流を集中させることができ、しきい値電流を低減することができる。

#### 4. 図面の簡単な説明

第1図(A)～(D)はこの発明の実施例である半導体レーザの製造方法の各工程を表す断面図、第2図(A)、(B)と第3図(A)～(D)は他の実施例に係る半導体レーザの製造方法を表す断面図、第4図(A)、(B)および第5図(A)、(B)はさらに他の実施例に係る半導体レーザの構造を表す図、第6図(A)、(B)および第7図(A)、(B)は従来の半導体レーザの製造方法を表す断面図である。

1-基板

2-下部クラッド層、

3-活性層、

4-上部第1クラッド層、

4a-ストライプ部、

4b-電流阻止領域、

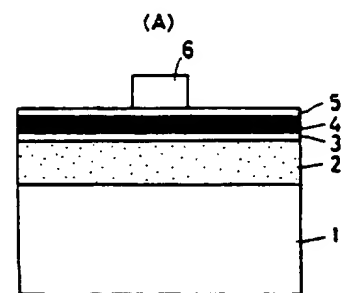
7-上部第2クラッド層、

8-キャップ層。

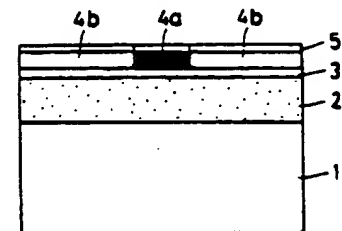
出願人 ローム株式会社

代理人 弁理士 小森久夫

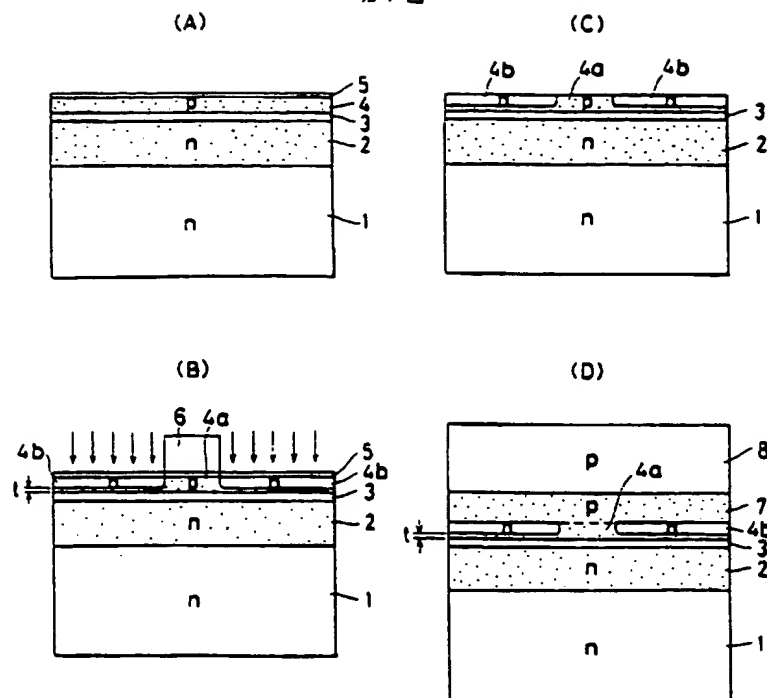
第2図



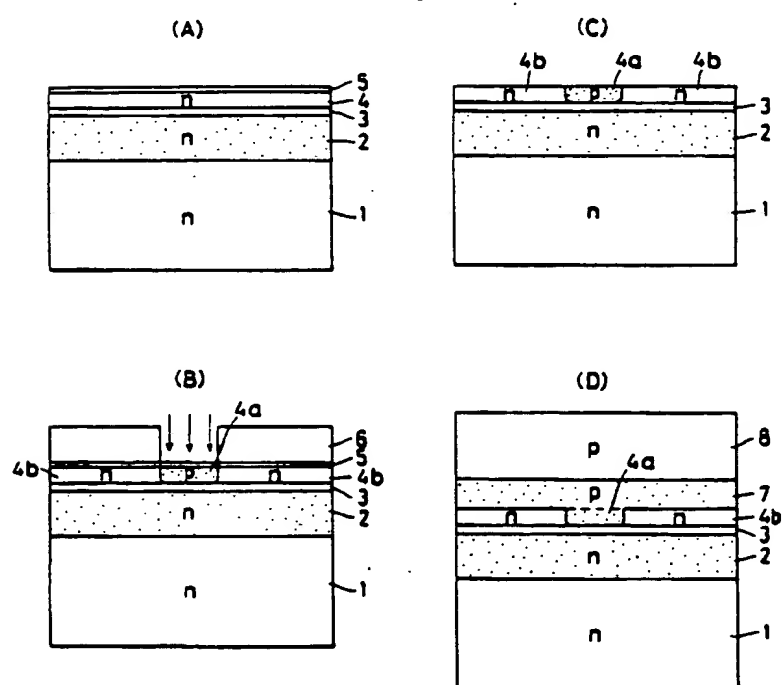
(B)



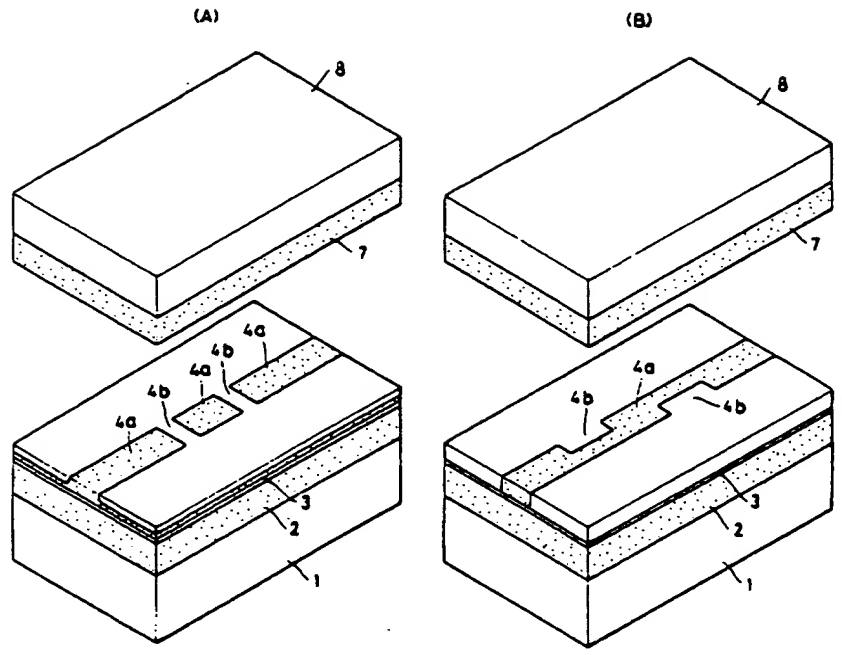
第1図



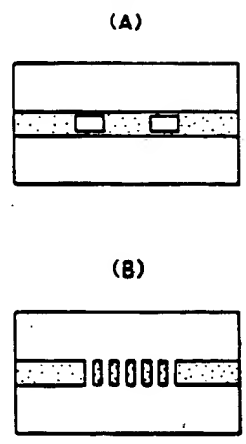
第3図



第4図

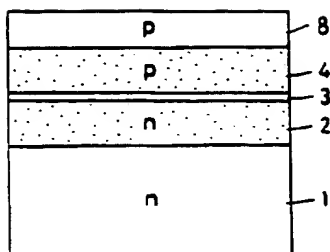


第5図

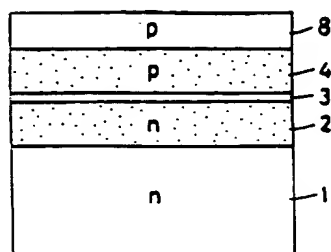




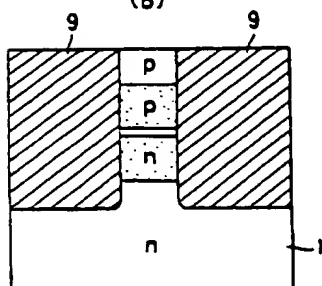
第6図  
(A)



第7図  
(A)



(B)



(B)

